

doi:10.1631/FITEE.1500293

题目：采用内嵌时钟控制技术的低功耗双边沿隐形脉冲触发器

概要：本文提出了一种新颖的采用内嵌时钟控制技术的双边沿隐形脉冲触发器（dual-edge implicit pulse-triggered flip-flop with an embedded clock-gating scheme, DIFF-CGS），其在脉冲产生模块中采用了基于时钟控制技术的传输门逻辑。该技术在输入信号不变时关闭反相器链，抑制延迟的时钟信号和锁存器中的冗余跳变，从而降低触发器的功耗。基于 SMIC 65 nm 工艺的后端仿真结果显示，与相关文献中的同类脉冲型触发器相比，在输入信号开关转换率为 10% 时，本文提出的 DIFF-CGS 减少了 41.39% - 56.21% 的功耗。此外，在隐形脉冲发生模块和静态锁存器中节点的全摆幅跳变特性提高了电路的鲁棒性。所以，DIFF-CGS 适用于信号转换频率较低的低功耗超大规模集成电路（very-large-scale integration, VLSI）中。

关键词：低功耗；触发器；隐性；时钟控制技术；双边沿