

在现场可编程门阵列中用于降低泄漏功率的动态电源门控

Hadi JAHANIRAD

库尔德斯坦大学电子与通信工程系，伊朗萨南达季市，66177-15175

摘要：现场可编程门阵列（FPGA）器件由于其低设计成本和可重构性，在电子系统中得到广泛应用。在手持电子系统等电池受限的应用中，低功耗 FPGA 的需求很大。在现代集成电路技术中，泄漏功率几乎相当于动态功率，因此降低泄漏功率可以显著节省能耗。我们提出一种基于静态随机存取存储器（SRAM）的 FPGA 高效架构，其中每个模块定义了两种模式（活动模式和休眠模式）。在休眠模式下，模块消耗超低泄漏功率。当模块输出对新输入向量的评估时，模块模式由休眠模式动态改变为活动模式。在产生正确的输出后，该模块返回到休眠模式。所提电路设计在活动模式和休眠模式下都降低了泄漏功耗。通过在 FPGA-SPICE 软件上实现北卡罗来纳州微电子中心（MCNC）基准电路，将所提出的低泄漏 FPGA 体系结构与最先进的体系结构进行比较。仿真结果表明，休眠模式下泄漏功耗降低约 95%。此外，与以往的最佳设计相比，总功耗（泄漏功耗+动态功耗）降低 15%以上。平均面积开销（4.26%）小于其他电源门控设计。

关键词：现场可编程门阵列（FPGA）；泄漏功率；电源门控；晶体管级电路设计
<https://doi.org/10.1631/FITEE.2200084>