

面向集成电路功耗分析的伪数据集生成算法及评估

吕泽嘉¹, 沈继忠¹, 陈曦²

¹浙江大学信息与电子工程学院, 中国杭州市, 310027

²上海合昕工业软件有限公司, 中国上海市, 201210

摘要: 平均功耗分析在大规模数字集成电路设计中至关重要。随着以数据驱动为基础的机器学习方法在电子设计自动化(EDA)领域的应用, 对海量数据集的需求日益增长。为满足这一需求, 本文提出一种基于图拓扑结构的全新伪电路生成算法。该算法通过将随机生成的有向无环图转换为门级Verilog伪组合电路网表, 高效生成海量功耗分析样本。随后引入寄存器单元, 将伪组合网表转化为伪时序电路网表。通过超参数调控电路拓扑结构, 并在综合过程中施加适当的时序约束, 最终生成伪电路数据集。采用主流功耗分析软件评估该方法, 对生成的电路进行布局前平均功耗测试, 将其性能与基准数据集对比, 并通过电路拓扑复杂度分析与静态时序分析验证结果。实验结果验证了数据集的有效性, 展现了算法的高效运行和鲁棒性, 彰显其研究价值。

关键词: 图计算; 电子设计自动化(EDA); 伪数据集; 平均功耗分析
<https://doi.org/10.1631/FITEE.2400677>