

WSC 优化器：晶圆级芯片架构探索的优化工具

张文博¹, 丁博², 魏帅¹, 刘勤让³, 于洪¹, 宋克¹, 郭威¹, 梅波¹, 郑锐¹

¹信息工程大学, 中国郑州市, 450001

²嵩山实验室, 中国郑州市, 450002

³复旦大学大数据研究院, 中国上海市, 200433

摘要: 近年来, 先进封装技术将多颗小芯片集成为更大规模的芯片, 同时保留芯片级的集成密度与高带宽互连特性。针对晶圆级芯片 (WSC) 研发中人工设计效率低与异构优化难度大的问题, 本文系统探究了WSC架构设计的关键影响因素。融合芯片布局、算子映射与软硬件协同设计, 将WSC架构探索问题建模为多目标优化任务。首先, 构建了WSC层次化架构模型, 统一量化核心资源约束与互连拓扑约束; 其次, 提出层次化多目标协同优化框架, 联合优化物理约束与任务映射通信模式; 最后, 开发了支持混合粒度仿真的WSC优化器工具链, 可针对典型负载生成最优配置。实验结果表明, 相较于传统计算机架构, 本工具生成的优化架构在密码解密和信号处理等场景下, 可实现最高22倍的吞吐量提升与5倍的延迟降低。

关键词: 晶圆级芯片; 软硬件协同设计; 芯片布局; 设计空间探索

<https://doi.org/10.1631/ENG.ITEE.2025.0008>