

doi:10.1631/FITEE.1601596

题目：一种面向多模通讯系统的多标准低资源消耗 Viterbi 译码器

概要：基于一种新型标准卷积码码字生成单元设计一种多参数可重构 Viterbi 译码器，优化译码器的资源消耗，提高对多参数的兼容性。标准卷积码码字生成单元用于产生所有状态码，采用迭代运算方式计算所有可能存在的标准卷积码码字。在重新计算分支度量值及对度量值与转换路径重新排序时，基于新型准卷积码字生成单元的 Viterbi 译码器结构能够减少运算资源消耗。多参数可重构 Viterbi 译码器结构能够支持范围为 3~9 的可变约束长度，1/2、1/3、1/4 的可变码率，以及完全可配置的约束多项式。该 Viterbi 译码器采用 Xilinx XC7VX485T FPGA 平台实现，具有高达 200 Mbps 的吞吐率，使用逻辑门的数量为 162k，具有较低的资源消耗。

关键词：可重构 Viterbi 译码器；多参数；低资源消耗；标准卷积码码字生成单元；可配置多项式