

# 一种应用于带有嵌入式存储器的FPGA的BCH纠错方案

刘洋<sup>1</sup>, 李杰<sup>1</sup>, 王瀚<sup>1</sup>, 张德彪<sup>1</sup>, 冯凯强<sup>1</sup>, 李金强<sup>2</sup>

<sup>1</sup>中北大学电子测量技术国家重点实验室, 中国太原市, 030051

<sup>2</sup>山东航天电子技术研究所, 中国烟台市, 264000

**摘要:** 鉴于存储介质上的数据存在位翻转的可能, 提出一种模块化的、高速并行的Bose–Chaudhuri–Hocquenghem (BCH) 纠错方案, 该方案结合了逻辑实现和查找表。所提方案适用于具有片上嵌入式存储器的现场可编程门阵列的数据纠错。详细阐述了系统各部分的优化方法, 并分析了该方案在BCH码信息位长度为1024位、码长为1068位且可纠正4位错误情况下的实现过程。

**关键词:** 纠错算法; Bose–Chaudhuri–Hocquenghem (BCH) 码; 现场可编程门阵列 (FPGA); 闪存

<https://doi.org/10.1631/FITEE.2000323>